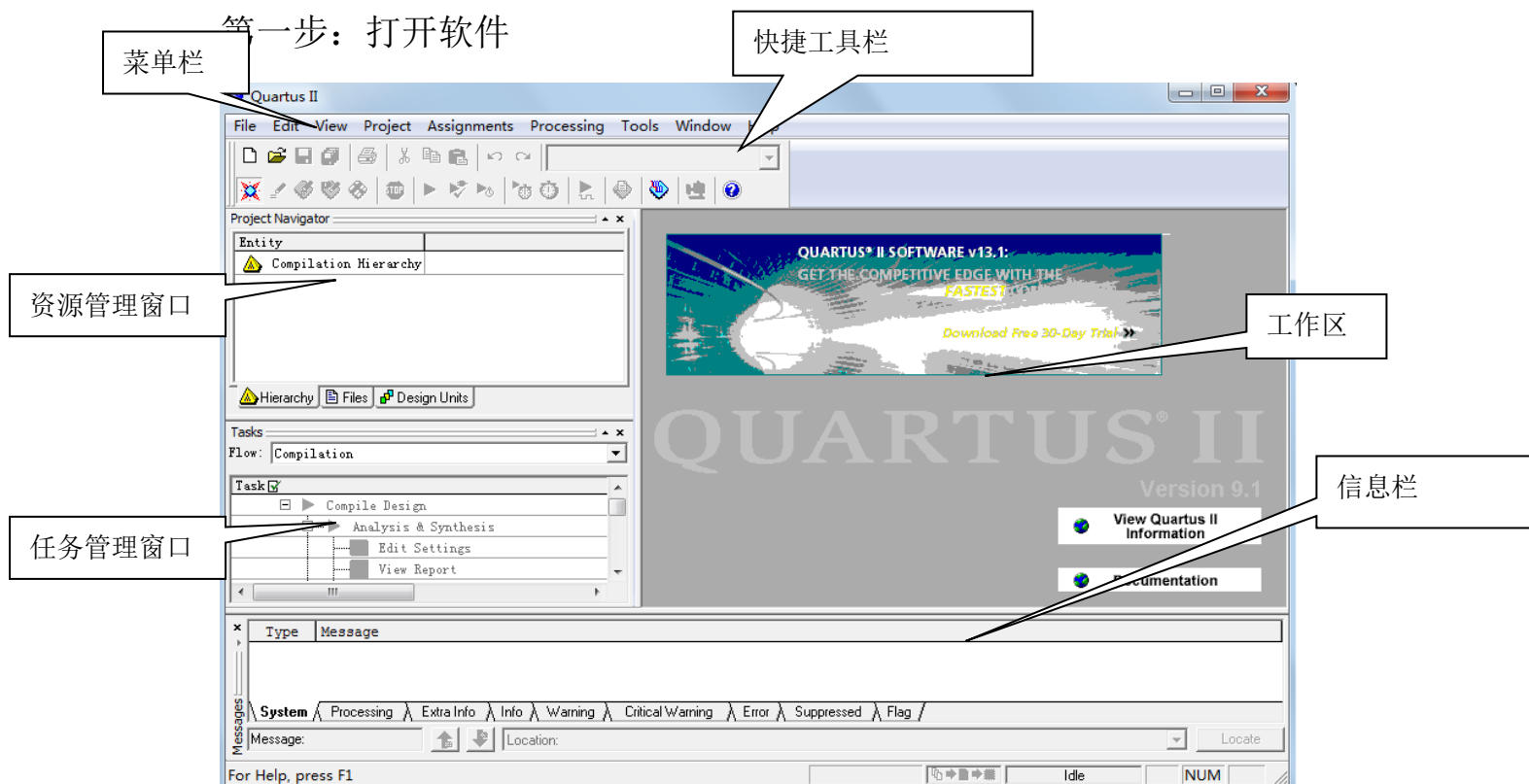


Quartus II 入门教程

（一个 Verilog 程序的编译和功能仿真）

Quartus II 是 Altera 公司推出的专业 EDA 工具，支持原理图输入、硬件描述语言的输入等多种输入方式。硬件描述语言的输入方式是利用类似高级程序的设计方法来设计出数字系统。接下来我们对这种智能的 EDA 工具进行初步的学习。使大家以后的数字系统设计更加容易上手。

第一步：打开软件



- 快捷工具栏：提供设置（setting），编译（compile）等快捷方式，方便用户使用，用户也可以在菜单栏的下拉菜单找到相应的选项。
- 菜单栏：软件所有功能的控制选项都可以在其下拉菜单中找到。
- 信息栏：编译或者综合整个过程的详细信息显示窗口，包括编译通过信息和报错信息。

第二步：新建工程（file>new Project Wizard）

1 工程名称：

所建工程的保存路径

工程名称

顶层模块名（芯片级设计为实体名），要求与工程名称相同

2 添加已有文件（没有已有文件的直接跳过 next）

如果有已经存在的文件就在该过程中添加，软件将直接将用户所添加的文件添加到工程中。

New Project Wizard: EDA Tool Settings [page 4 of 5]

Specify the other EDA tools -- in addition to the Quartus II software -- used with the project.

Design Entry/Synthesis

Tool name: <None>

Format: <None>

☐ Run this tool automatically to synthesize the current design

Simulation

Tool name: <None>

Format: <None>

☐ Run gate-level simulation automatically after compilation

Timing Analysis

Tool name: <None>

Format: <None>

☐ Run this tool automatically after compilation

< Back Next > Finish 取消

选择第三方综合工具，如果使用 Quartus 内部综合工具则选择 none

选择第三方仿真工具，如果使用 Quartus 内部仿真工具则选择 none

选择时序分析仪

5 工程建立完成（点 finish）

New Project Wizard: Summary [page 5 of 5]

When you click Finish, the project will be created with the following settings:

Project directory:
E:/LXQ/国家精品课程/软件测试/

Project name: test

Top-level design entity: test

Number of files added: 0

Number of user libraries added: 0

Device assignments:

Family name: Cyclone II

Device: EP2C70F896C6

EDA tools:

Design entry/synthesis: <None>

Simulation: <None>

Timing analysis: <None>

Operating conditions:

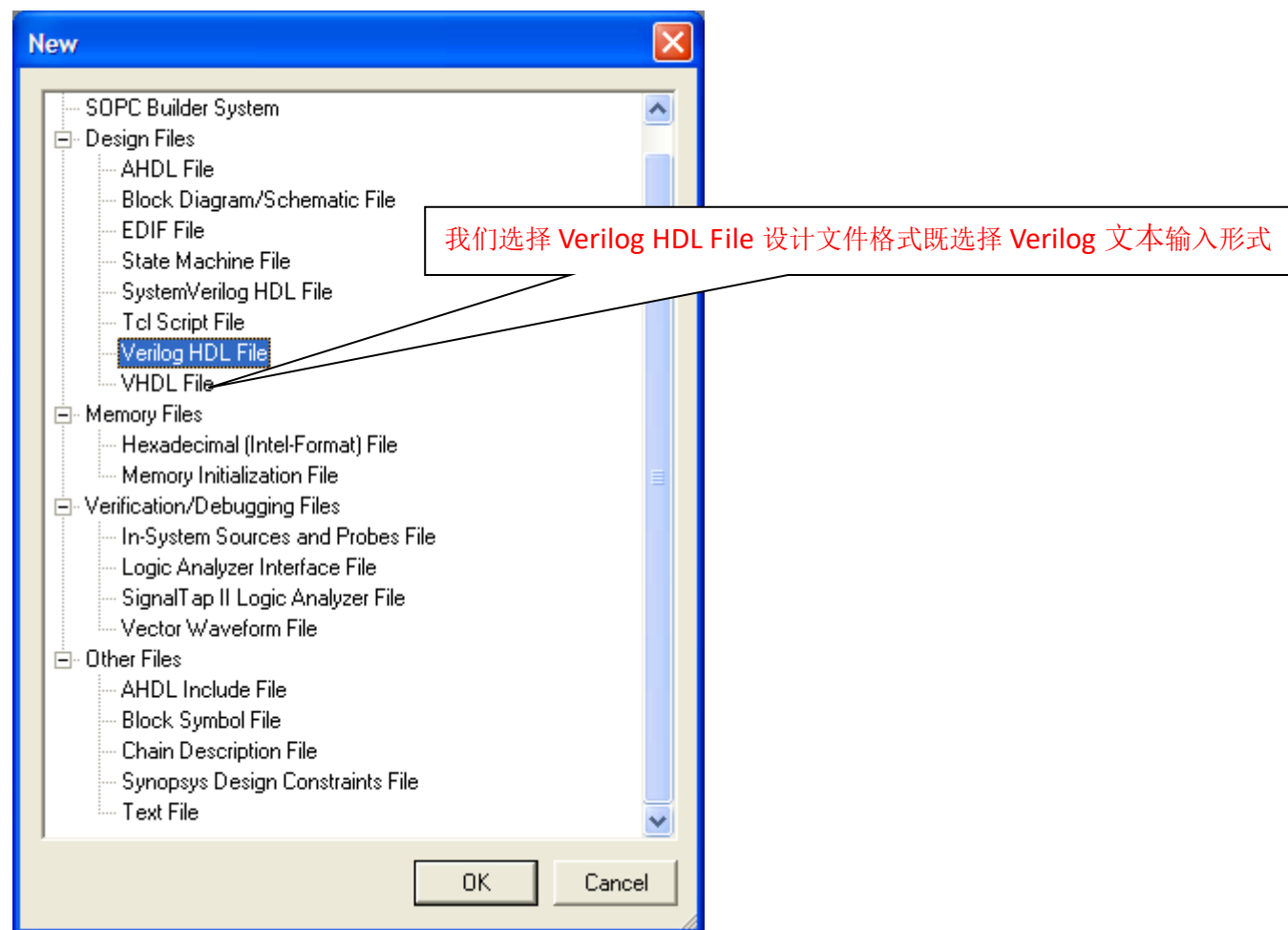
Core voltage: 1.2V

Junction temperature range: 0-85 度

< Back Next > Finish 取消

工程建立完成，该窗口显示所建立工程所有的芯片，其他第三方 EDA 工具选择情况，以及模块名等等信息。

第三步：添加文件（file>new> VHDL file），新建完成之后要先保存。




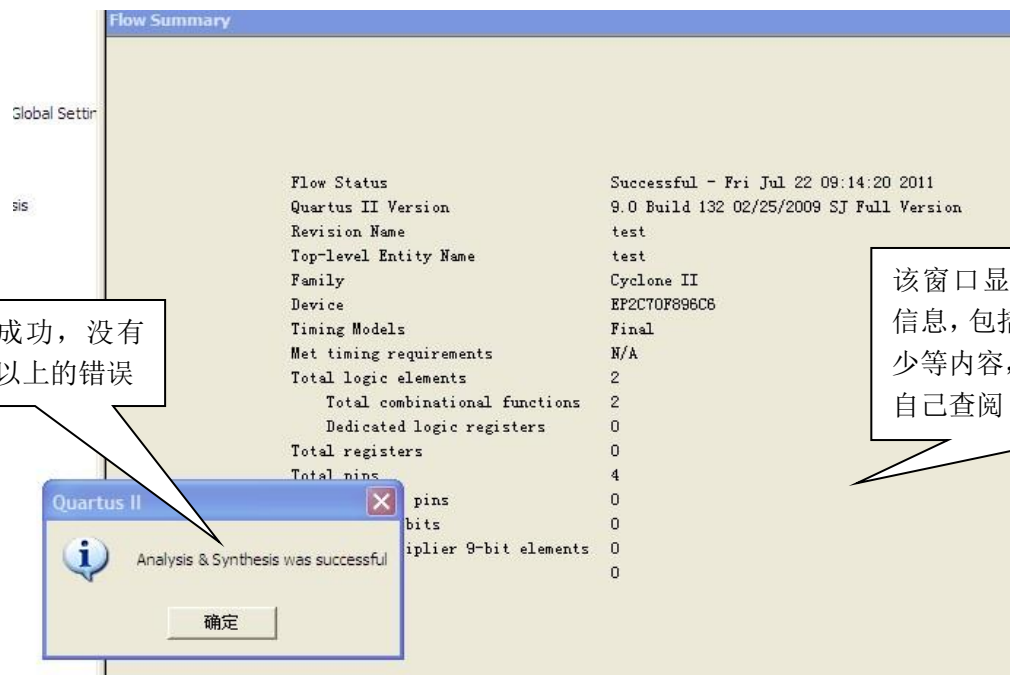
第四步：编写程序

以实现一个与门和或门为例，Verilog 描述源文件如下：

```
module test(a,b,out1,out2);  
input a,b;  
Output out1,out2;  
assign out1=a&b;  
assign out2=a | b;  
endmodule
```

然后保存源文件；


第五步：检查语法（点击工具栏的这个按钮  （start Analysis & synthesis））



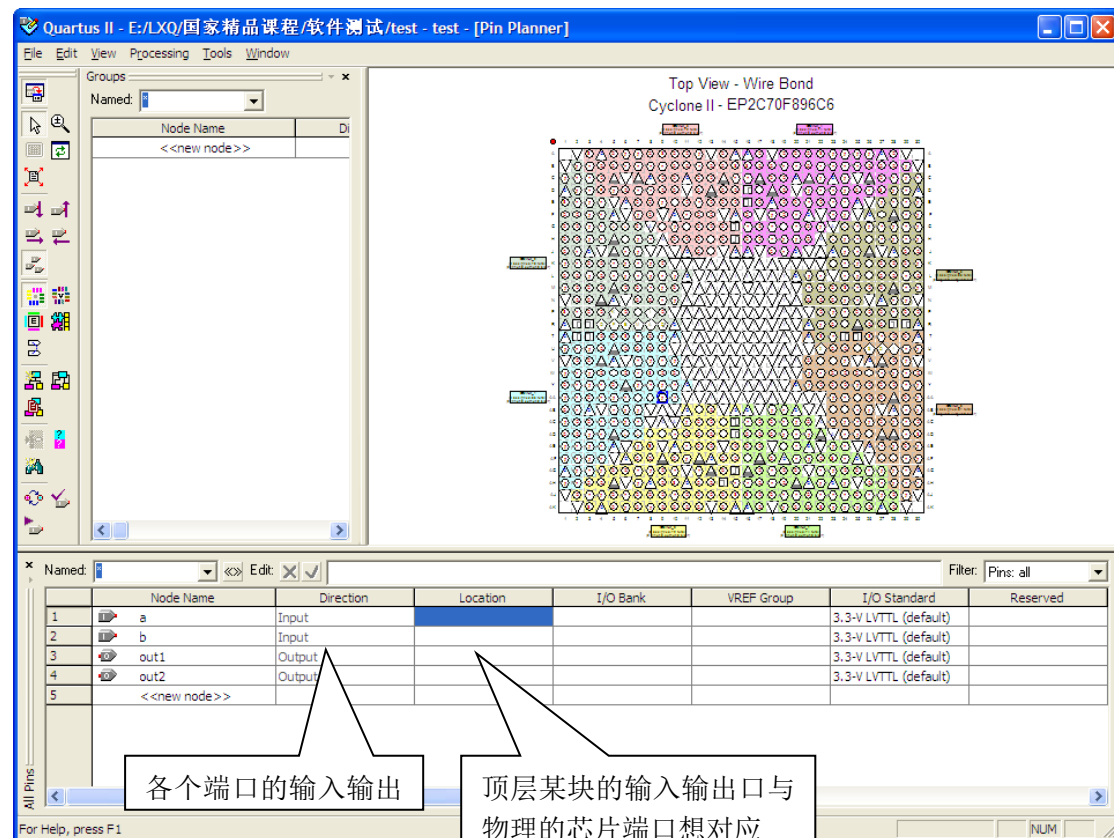
语法检查成功，没有
error 级别以上的错误

该窗口显示了语法检查后的详细
信息，包括所使用的 io 口资源的多少等内容，相应的英文名大家可以
自己查阅


点击确定完成语法检查

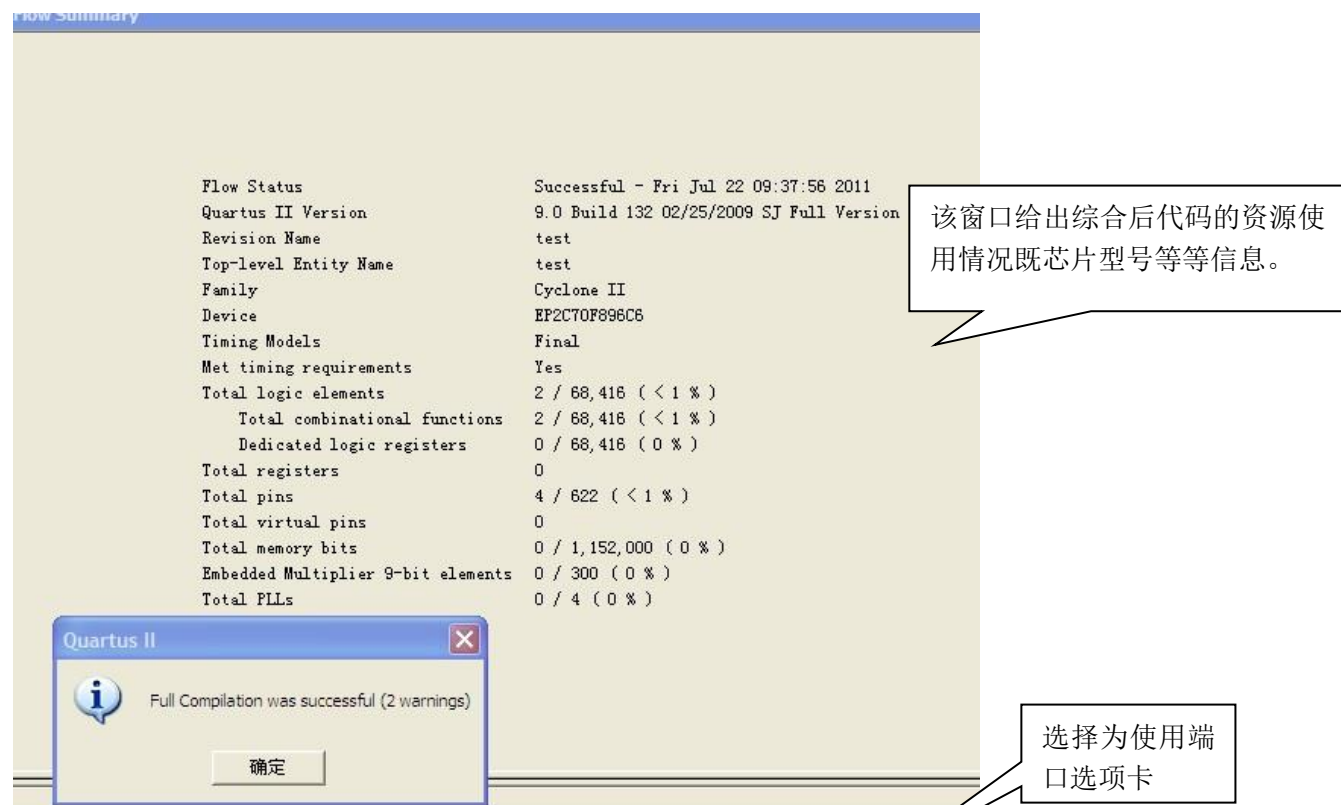
第六步：（锁定引脚，点击工具栏的  (pin planner)）

(注：如果不下载到开发板上进行测试，引脚可以不用分配)



双击 location 为您的输入输出配置引脚。

第七步：整体编译（工具栏的按钮（start Compilation））



Flow Summary

Flow Status	Successful - Fri Jul 22 09:37:56 2011
Quartus II Version	9.0 Build 132 02/25/2009 SJ Full Version
Revision Name	test
Top-level Entity Name	test
Family	Cyclone II
Device	EP2C70F896C6
Timing Models	Final
Met timing requirements	Yes
Total logic elements	2 / 68,416 (< 1 %)
Total combinational functions	2 / 68,416 (< 1 %)
Dedicated logic registers	0 / 68,416 (0 %)
Total registers	0
Total pins	4 / 622 (< 1 %)
Total virtual pins	0
Total memory bits	0 / 1,152,000 (0 %)
Embedded Multiplier 9-bit elements	0 / 300 (0 %)
Total PLLs	0 / 4 (0 %)

Quartus II

Full Compilation was successful (2 warnings)

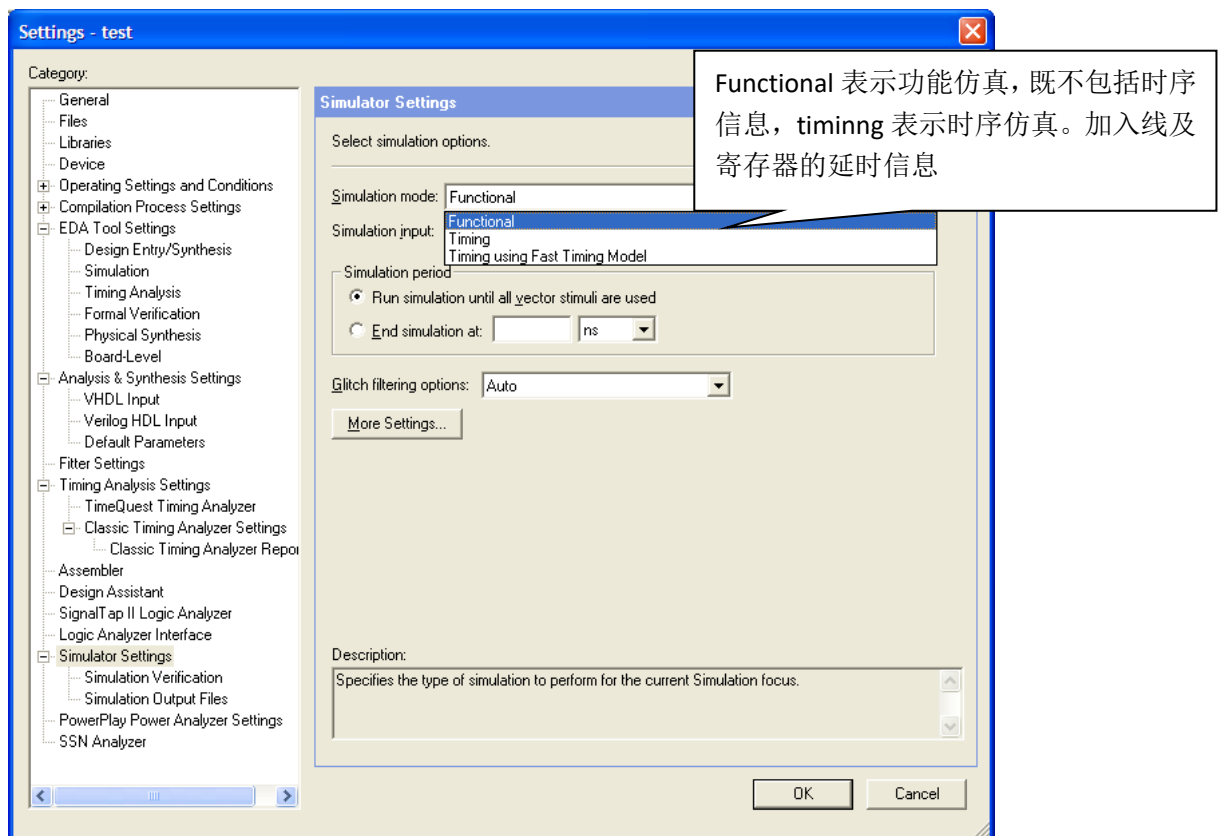
确定

该窗口给出综合后代码的资源使用情况既芯片型号等信息。

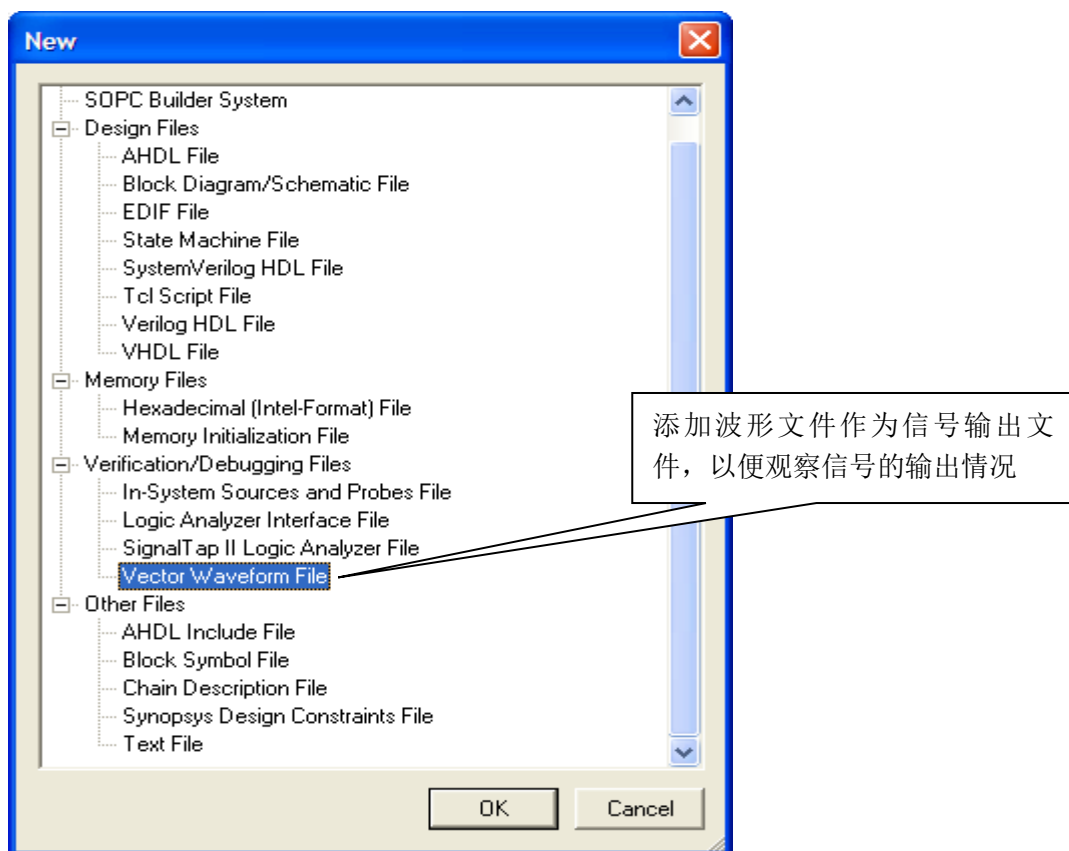
选择为使用端口选项卡


第八步：功能仿真（直接利用 quartus 进行功能仿真）

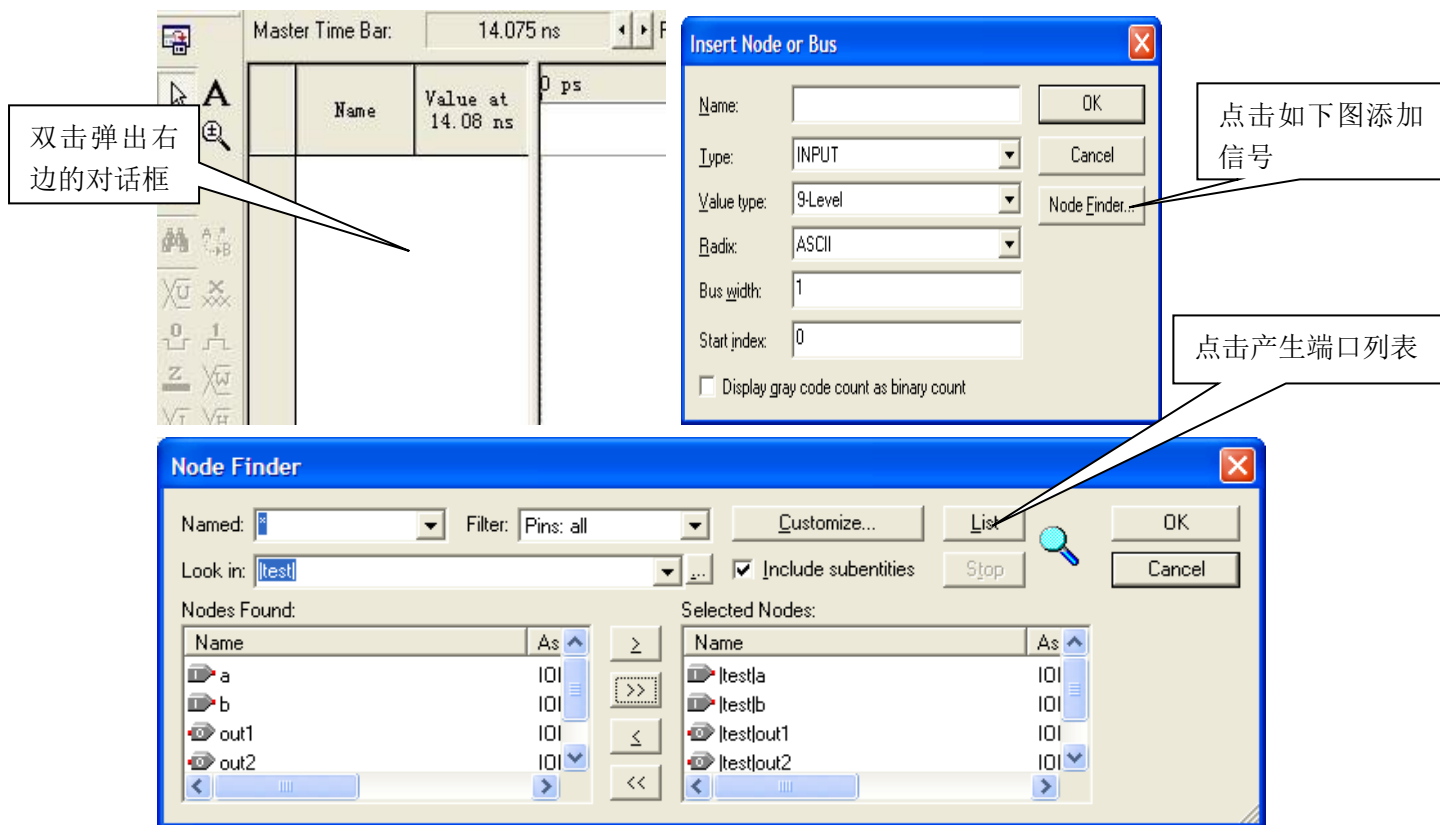
- 1 将仿真类型设置为功能仿真（Assignments>setting>Simulator Settings>下拉>Function）




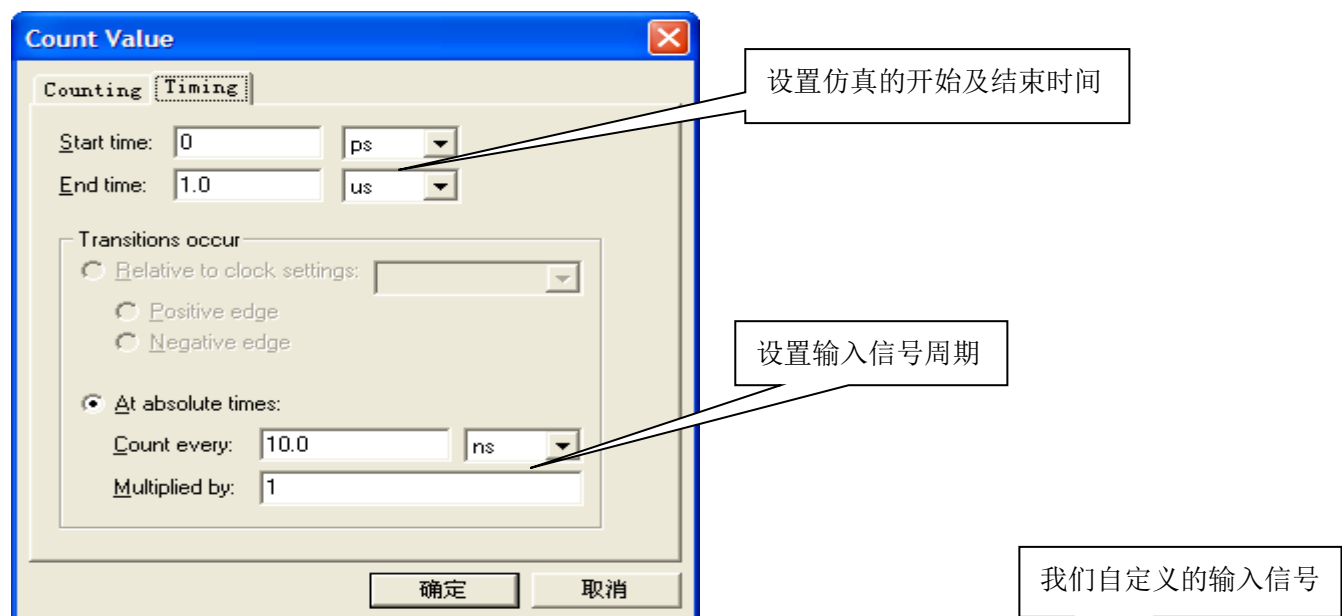
- 2 建立一个波形文件：
(new>Vector Waveform File)



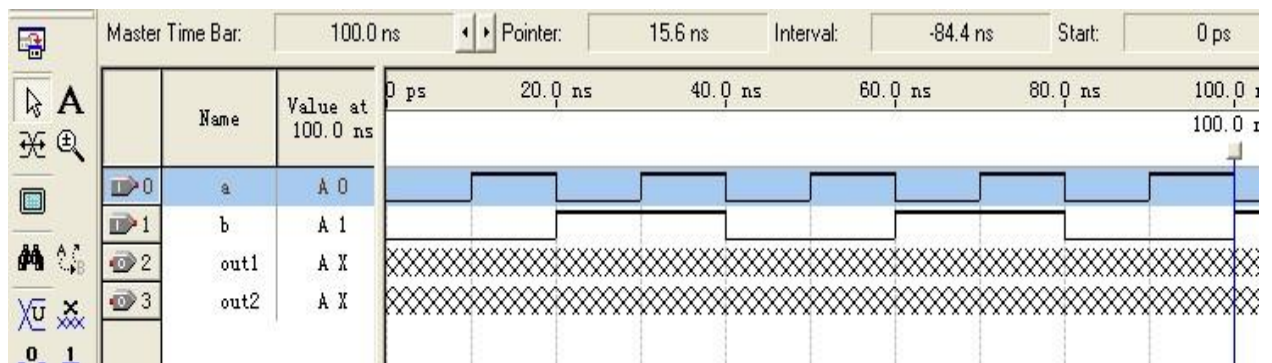
然后导入引脚（双击 Name 下面空白区域>Node Finder>list>点击 ）：



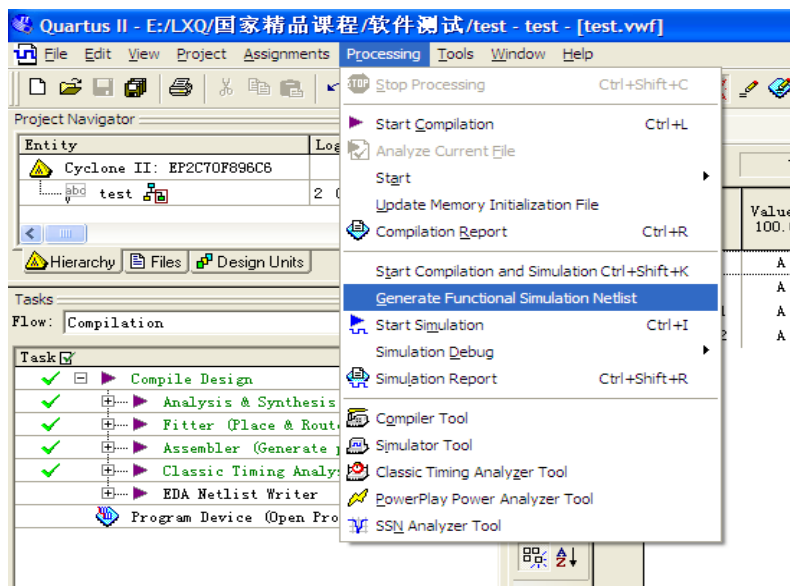
接下来设置激励信号（单击  >选择  >Timing>Multiplied by 1）




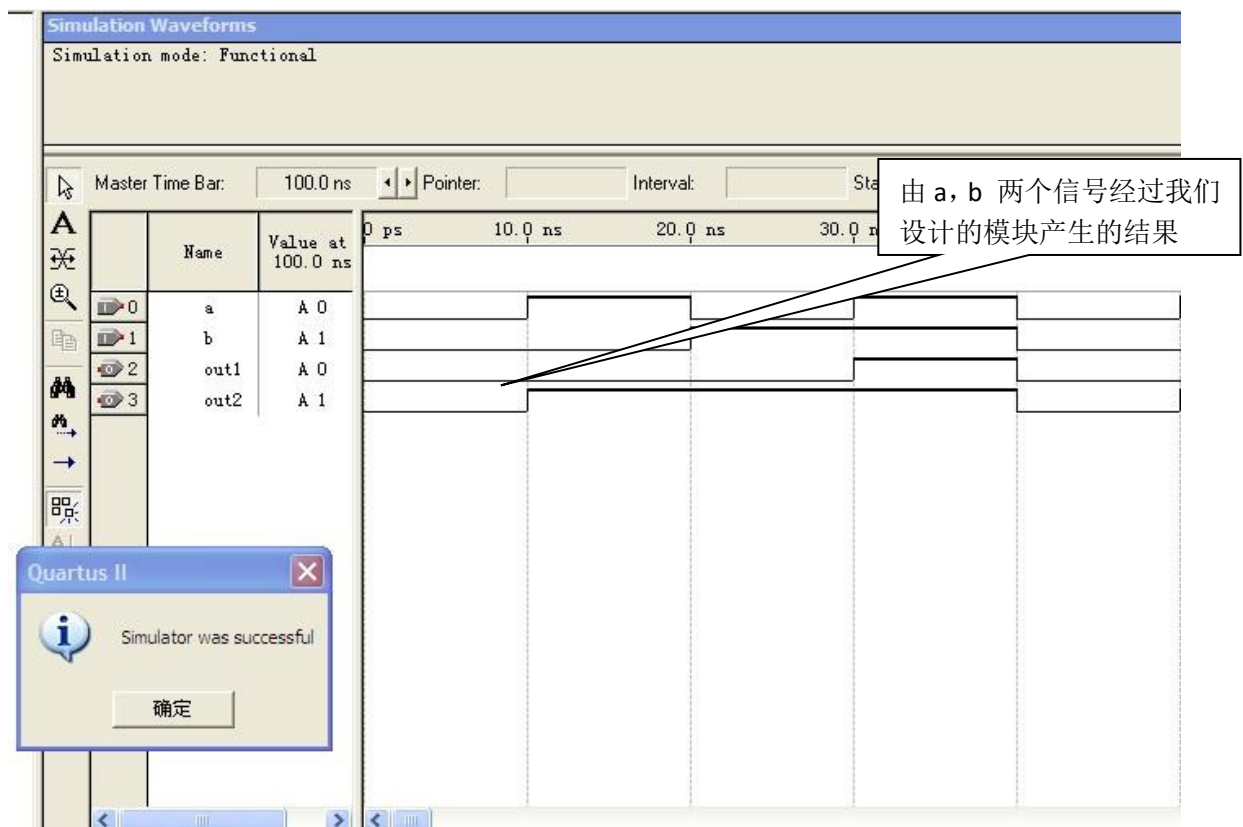
设置 b 信号源的时候类同设置 a 信号源，最后一步改为 Multiplied by 2




然后要先生成仿真需要的网表（工具栏 processing>Generate Functional Simulation Netlist）

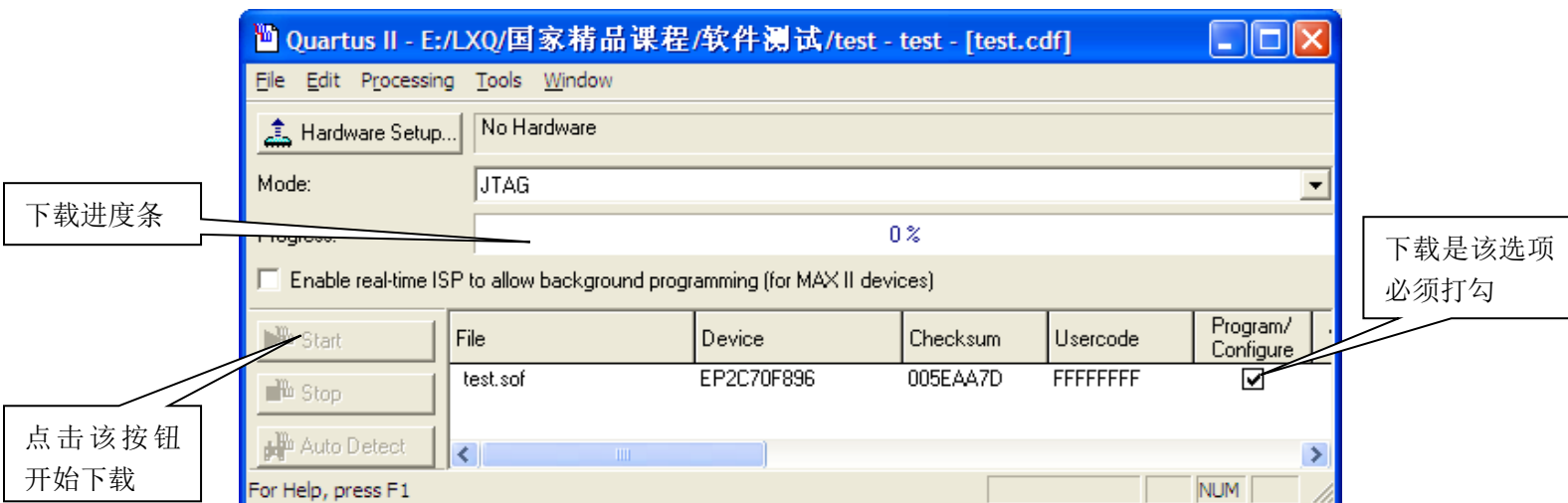


接下来开始仿真（仿真前要将波形文件保存，点击工具栏  开始仿真）：



观察波形，刚好符合我们的逻辑。功能仿真通过。

第九步：下载（点击  (Programmer)，再点击 Hardware Setup 配置下载电缆，单击弹出窗口的“Add Hardware”按钮，选择并口下载 ByteBlasterMV or ByteBlasterMV II，单击“Close”按钮完成设置。CPLD 器件生成的下载文件后缀名为.pof，点击下图所示方框，选中下载文件，然后直接点击 start 按钮开始下载）



完！